

一种基于 CMOS 工艺库的 DSP 专用 MAC 设计

陈继承, 姚庆栋, 刘 鹏, 史 册

(浙江大学信息与电子工程学系, 浙江杭州(玉泉) 310027)

摘 要: 针对基于标准 CMOS 单元库的 DSP 系统专用 MAC 设计, 本文提出了构建多模式算法最小并集的通用 MAC 平台思想以满足各种运算模式要求, 并提出了划分 MAC 平台结构功能方法以实现与多流水 DSP 系统的最佳匹配. 在以 16 位为基本乘法单元的 MAC 具体应用中, 本文提出了 Booth 编码和部分积联合产生、舍入运算前置至 Wallace 树中处理和 Wallace 树型加法器比对选择等优化方法以求用最小的代价实现完善的功能. 电路综合实验表明采用本文所提出思想和方法可以有效减少 MAC 关键路径时延和电路门数.

关键词: MAC; DSP; Booth 编码; Wallace 树

中图分类号: TN702 **文献标识码:** A **文章编号:** 0372-2112 (2004) 08-1402-04

MAC Design Based on Standard CMOS Library for DSP System

CHEN Ji2cheng, YAO Qing2dong, LIU Peng, SHI Ce

(Zhejiang University, Department of Information Science and Electronic Engineering, Hangzhou, Zhejiang 310027, China)

Abstract: Aimed at the MAC design in DSP system with standard CMOS library, this paper presents the idea of constructing the general MAC platform based on the minimal merging of multi2mode multiplications, which can well satisfy all kinds of DSP requirements and improve the efficiency of system. To achieve the perfect match with multi2pipeline DSP architecture, the idea of partition of the platform is also put up. As an example, a 16 bits DSP's MAC platform is illustrated in the paper. It applies the novel methods of Booth encoding combined with partial products generating, forwarding round disposal and selected realization of Wallace2tree adding to its optimization. Through the synthesis of MAC circuit, it validates that the ideas and methods presented in the paper do well to reduce the critical path delay and circuit gates.

Key words: MAC; DSP; Booth encoder; Wallace2tree

1 引言

作为 DSP 系统必不可少的组成部分, 乘累加器 MAC(Multiplier2accumulator) 单元的设计必须考虑以下因素: 首先, MAC 必须满足 DSP 在应用算法效率方面的特定需求; 其次, MAC 的时延直接影响 DSP 的允许工作频率, 特别是对于多流水 DSP 芯片设计; 最后, MAC 单元可能需要多拍完成以适应 DSP 高工作频率要求. 为达到与 DSP 流水线结构最佳匹配, 合理确定完成 MAC 运算所需拍数以及划分 MAC 功能单元已成为 DSP 结构设计和 MAC 设计中必须考虑的重要问题; 因此, 建立通用的 MAC 设计平台在现代 DSP 设计中显得尤为必要.

在 MAC 设计中, 对于其乘法器设计的改进从原理上可以分为改进物理器件和优化乘法算法两大类. 在改进物理器件方面先后提出并采用 CPL(Complementary pass transistor logic)^[1]、DPL(Double pass transistor logic)^[2] 等基本门电路方法来提高乘法单元的效率, 在优化算法方面提出 22 compressor^[3] 方法来执行 Wallace 树型加法. 这些方法在一定程度上可以提高 MAC 中乘法器的速度和效率, 但其在实际应用中存在一定问题和限制: 首先, 物理器件模型的改变很难用硬件描述语言

准确描述并真实反映在实现工艺中; 其次物理器件模型还存在着工艺的支持问题, 如果没有和制造厂紧密合作, 设计者一般不从改进物理器件的方法着手; 另外对于算法的优化也牵涉到具体的物理实现是否为原采用工艺所支撑, 不同工艺实现的方式和效果相差很大, 所以算法的优化也只能是相对的.

本文将围绕我们开发的 16 位多媒体 DSP 处理器 MD16 中 MAC 的具体设计, 研究在基于标准 CMOS 单元库映射的 DSP 专用 MAC 设计中建立通用 MAC 设计平台解决多种模式运算并实现与 DSP 系统匹配的一般方法和应用. 第 2 节将以 MD16 的 MAC 单元为例介绍 MAC 通用平台的构建, 第 3 节为电路综合结果比对, 第 4 节为本文结论.

2 MAC 通用平台的构建

通过归纳出对 MAC 功能、性能要求的最小合集, 可将整个 MAC 模块划分为若干相对独立的执行单元, 由此构建出通用的 MAC 平台. 在具体的设计中, 通过对各个执行单元的优化、细化, 并且通过这些执行单元与 DSP 流水线匹配关系的尝试, 从而得出满足各项要求并与 DSP 系统最佳匹配的 MAC 模块.

本文 MAC 通用平台的系统构架如图 1 所示. 根据具体执行的功能, 将其分为 5 个顺序的功能单元, 其中 (N) 为 MAC 前处理过程, (0) 为 Booth 编码及部分积产生, (0) 为 Wallace 树型加法, (0) 为累加运算, (0) 为 MAC 结果产生单元.

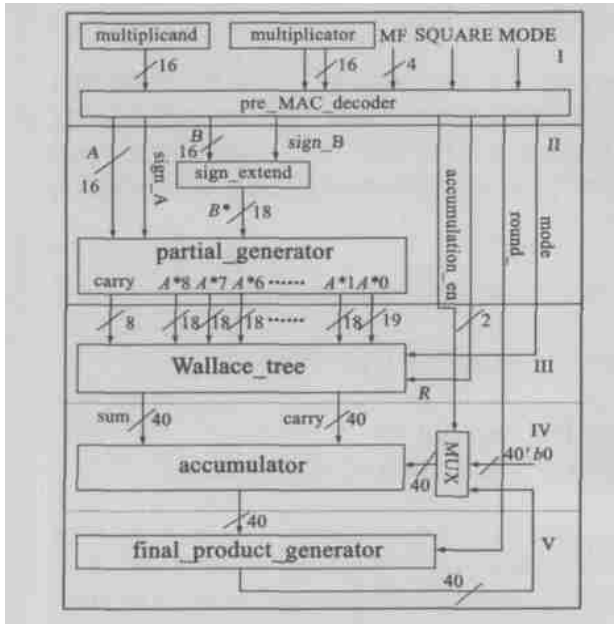


图 1 MAC 平台系统构架图

21.1 多模式算法最小并集的界定

本文要求 MAC 能够完成 16 位有符号、无符号、混合符号、舍入等乘法及其累加运算; 同时乘法运算可设置为整数、分数或平方乘法等. 为得到各种运算的最小并集, 本文采取对乘数 A、被乘数 B 符号类型分别处理的方法. 对于被乘数 B, 将 B 在最高位扩充两位成为 B*, 其中 B* [17]、B* [16] 的取值与其数据类型相关, 如果 B 为有符号数, 则 B* [17] = B* [16] = B [15], 反之则 B* [17] = B* [16] = 0; 这样被乘数 B 扩展成为 18 位有符号数 B*. 采用类似的方法将乘数 A 扩充两位成为 A*, 其中 A* [17]、A* [16] 的取值与相应 A 的数据类型相关.

因此, 18 位有符号乘法是各种 16 位乘法的最小并集, 可以此为基础处理 16 位乘数的符号类型问题.

21.2 Booth 编码及部分积产生

本文提出了一种 Booth 编码和部分积联合产生的方法, 即不产生 Booth 编码的系数, 而将被乘数每 3 位作为多路选择器的事件, 直接产生部分积. Booth 编码和部分积联合产生方法、分立 Booth 编码及部分积产生方法^[4]的原理分别如图 2

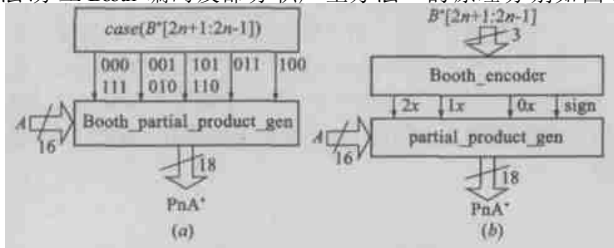


图 2 联合和分立方法原理图

(a)、(b) 所示. 采用 Booth 编码和部分积联合产生方法与分立 Booth 编码及部分积产生方法所得电路单元综合后的时延和电路门数比较如表 1 所示(本文采用 0135Lm CMOS 工艺, 实验条件为最恶劣情况: 温度为 125e; 电压为 310V).

通过表 1 可以得出: 与分别产生方法相比, 采用 Booth 编码和部分积联合产生方法节省 2913% 的时延和 4014% 的电路门数(以单倍驱动的二输入与非门 NAND 为标准门基准).

表 1 联合和分立方法的时延和电路门数比较

方法	联合产生方法	分立产生方法		
		Booth 编码	部分积产生	合计
时延(ns)	1130	0174	1110	1184
电路门数	155	13	247	260

21.3 舍入运算前置和 Wallace 树加法器选择

本文的 16 位乘法产生 9 个部分积, 可以采用如图 3 所示的 Wallace 树型加法来处理部分积结果. 同时由于采用 40 位累加器, 因此在连续的 MAC 运算中可以保持 256 次中间结果而不发生溢出, 从而保证计算的精度.

对于舍入乘法, 40 位 MAC 累加器的低 16 位须向高 24 位进行舍入, 舍入的处理可以在乘累加完成以后进行, 但需要利用额外的 24 位加法电路来完成, 这不仅增大了 MAC 模块的延时, 而且使其增加额外电路门数.

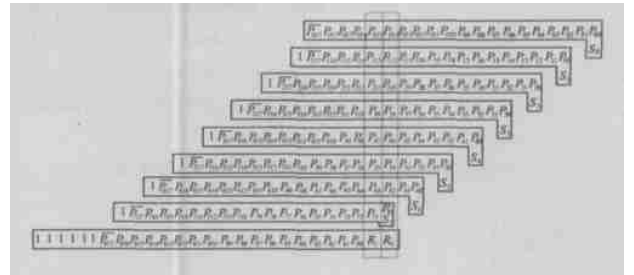


图 3 Wallace 树型加法原理图

本文提出了利用 Wallace 树来处理舍入运算(舍入运算前置)的方法, 即在第 9 级部分积的最低位(LSB)向右扩充 2 位 R 作为舍入乘法的标志位, 其逻辑为: 在整数乘法模式下 R=10, 在分数乘法模式下 R=01, 若舍入乘法禁止, 则 R=00; 这样把舍入运算提前到 Wallace 树型加法中处理而不需要增加其关键路径时延, 并且避免了乘累加完成以后的 24 位加法运算, 大大降低了 MAC 的时延和电路门数.

对于 Wallace 树型加法, 可以选用 1 位全加器或 42 compressor^[3]实现. 其中全加器电路的原理如图 4(a) 所示, 采用 0135Lm CMOS 工艺其关键路径时延为 0187ns. 42 compressor 电路的原理如图 4(b)所示, 其关键路径时延为 1110ns.

对于本文的 Wallace 树型加法, 采用全加器电路和 42 compressor 电路实现的时延和电路门数分别如表 2 所示:

表 2 全加器电路和 42 compressor 电路的特性比较

Wallace 树型加法	全加器电路	42 compressor 电路
关键路径	4 级全加器	2 级 compressor+2 级全加器
时延(ns)	3146ns	3195ns
电路门数	1210	1789

法其时延比 $\Phi 2$ compressor 电路缩短 12.4%, 标准门数比 $\Phi 2$ compressor 电路减少 32.4%.

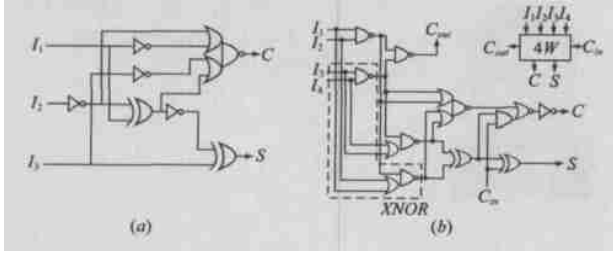


图 4 全加器和 $\Phi 2$ compressor 原理图

由此可得, $\Phi 2$ compressor 电路的优点是相对的, 它是基于特定工艺、特定基本门电路实现的, 在基于标准 CMOS 工艺库映射的以 16 位为基本乘法单元的乘法电路中不能充分发挥其长处; 因此本文采用全加器电路实现 Wallace 树型加法.

2.1.4 MAC 与 DSP 流水线的匹配

对于累加运算, 先前的 MAC 结果可以通过寄存器读取或流水线旁路直接准备就绪, 而当前 Wallace 树型加法的各位结果产生时间如图 5 所示. 文献[5]仔细分析 Wallace 树型加法各位结果的时延, 通过分段计算方法完成累加, 从而降低多位(32 位或更

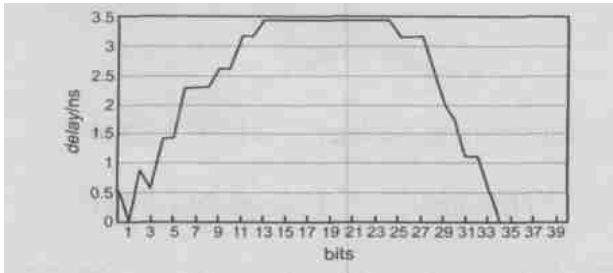


图 5 Wallace 树型加法各位结果时延图

多)加法电路时延和门数. 根据时延约束(各流水级时延不能大于 7ns)和 MAC 平台各部分与流水级匹配关系的分析, 本文未采用累加运算分段计算方法, 而是确定了两级流水线的 MAC 设计. 采取了前处理过程、Booth 编码及部分积产生、Wallace 树型加法等 3 个功能单元在 EX 级完成而累加、MAC 结果产生在下一级(MEM 级)完成的方案. 由于在流水线中采用了 MEM \rightarrow MEM 级旁路技术, 故可以在连续两拍中完成两次 MAC 运算, 因此等效为单周期的 MAC 运算, 进而达到了 MAC 模块和 DSP 系统构架的最佳匹配. 本文 MAC 模块和 DSP 流水线的匹配关系如图 6 所示:

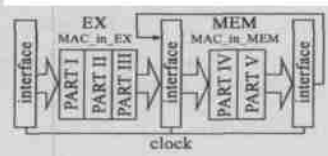


图 6 MAC 模块和 DSP 流水级匹配关系图

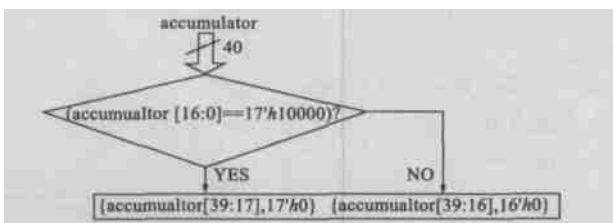


图 7 MAC 最终结果产生流程图

2.1.5 MAC 最终结果产生

对于舍入算法, 在乘累加运算完成以后, 还必须经过如图 7 所示的处理过程以得到 MAC 最终结果.

通过判断乘累加运算结果的低 17 位值可以选择得到 MAC 运算最终结果.

3 实验结果对比

采用本文提出的 Booth 编码和部分积联合产生、舍入运算前置至 Wallace 树中处理方法(\tilde{N})设计的 16 位 MAC 数据指标如表 3 所示:

与此对照, 采用分立 Booth 编码及部分积产生、舍入运算在乘累加运算之后处理方法($\hat{0}$)设计的 16 位 MAC 数据指标如表 4 所示:

表 3 方法(\tilde{N})的 MAC 各项数据指标

电路	EX 级 MAC 单元	MEM 级 MAC 单元	合计
时延(ns)	710	710)))
电路门数	3686	2751	6437

表 4 方法($\hat{0}$)的 MAC 各项数据指标

电路	EX 级 MAC 单元	MEM 级 MAC 单元	合计
时延(ns)	716	818)))
电路门数	3983	4248	8231

对比表 3 和 4 可知, 采用本文提出方法(\tilde{N})构建的 16 位 MAC 单元可以很好地满足 MAC 设计的各项要求, 并且和 DSP 流水线达到最佳匹配, 而以其他设计方法($\hat{0}$)构造的 16 位 MAC 单元, 其时延超出流水线限制, 不能与 DSP 系统匹配, 并且其电路门数超出本文方法(\tilde{N})所需.

4 结论

DSP 中 MAC 的设计不仅有自身的特点, 而且必须考虑 DSP 系统的特定要求, 只有这样才能达到最佳匹配. 采用基于标准 CMOS 工艺库映射的 top \rightarrow down 开发模式能够方便快捷地做出设计, 因此广泛应用于现代 DSP 系统设计中. 围绕这些思路, 本文提出了建立通用 MAC 设计平台思想和划分 MAC 结构功能方法以满足多模式算法、高性能要求, 并在具体的应用中提出了 Booth 编码和部分积联合产生、基于 Wallace 树的舍入处理和 Wallace 树型加法器比对选择等优化方法来降低 MAC 时延、门数且实现与 DSP 流水线最佳匹配. 理论分析和电路综合结果验证了本文思想、方法的可行性和优越性. 本文的设计思想和优化方法不仅适用于以 16 位为基本乘法单元的 MAC 设计, 对于以其他多位为基本单元的 MAC 设计同样适用.

参考文献:

[1] Rjoub A, et al. Multilevel low swing voltage values for low power design applications [A]. IEEE International Symposium on Circuits and Systems [C]. Sydney, Australia, May, 2001. 4. 590- 593.

[2] JaeYoung Kwak, SangSic Yoon, et al. A design of the new FPGA with data path logic and run time block reconfiguration method [A]. IEEE International Symposium on Circuits and Systems [C]. Orlando, Florida, USA, May, 1999. 1. 467- 469.

[3] JIANGMIN GU, CHIPHONG CHANG. Ultra low voltage, low power $\Phi 2$ con

processor for high speed multiplications [A]. IEEE International Symposium on Circuits and Systems [C]. Bangkok, Thailand, May, 2003, 5. 321- 324.

- [4] Olivieri M, et al. Design of synchronous and asynchronous variable latency pipelined multipliers[J]. IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 2001, 9(2): 365- 376.
- [5] Tsao Bing Juang, Jeng Hsiun Jan, et al. Partition methodology for the final adder in a Tree Structure Parallel Multiplier Generator [A]. Asia Pacific Conference on Circuits and Systems [C]. Singapore, Dec., 2002, 1. 471- 474.

作者简介:



陈继承 男, 1976 年 4 月生于安徽淮南, 浙江大学信息与电子工程学系博士研究生, 主要研究方向为计算机体系结构、软硬件协同设计、多媒体处理、加解密技术等。



姚庆栋 男, 1932 年生于浙江, 教授, 博士生导师, 主要研究方向为图像编解码、HDTV、并行处理、系统芯片设计等。



刘 鹏 男, 1970 年生于陕西, 副教授, 主要研究方向为嵌入式系统、集成电路设计、多媒体通信等。

电子学报

2004 年第 8 期 Acta Electronica Sinica No. 8 2004

(总期 249 期) (Monthly) (Series No. 249)

主管单位 中国科学技术协会
 主办单位 中国电子学会
 协办单位 南京才华科技有限公司
 编 辑 5 电子学报 6 编辑委员会
 主 编 王 守 觉
 总 编 辑 刘 力
 通 信 处 北 京 1 6 5 信 箱
 (邮 政 编 码 100036)
 电 话 (010)68279116, 68285082
 传 真 (010)68173796

China Association for Science and Technology
 Published by the Chinese Institute of Electronics, Beijing
 Nanjing Caihua Technology Co., Ltd.
 Edited by Editorial Board of Acta Electronica Sinica
 Chief Editor: WANG Shoujue
 Director: LIU Li
 Add: Editorial Office of Acta Electronica Sinica
 (POBox 165, Beijing 100036, China)
 Tel: 8621068279116, 68285082
 Fax: 8621068173796

Home page: <http://www.elejournal.org>; <http://dzxu.chinajournal.net.cn>

Email: cje@elejournal.org; dzxu@chinajournal.net.cn

排版印刷 北京育兴达印刷厂 Printed by Yuxingda, Beijing, China

国内总发行 北京市报刊发行局 Distributed by

Domestic: Beijing Baokan Faxingtu, China

国外总发行 中国国际图书贸易总公司 Foreign: China International Book Trading Corporation

国内订购处 全国各邮电局 Subscription Office))) All Local Post Offices in China

刊号: CN11- 2087/TN
 ISSN 0372- 2112

邮发代号(国内/国外): 2- 891/M436 国内定价 4 20100 第 32 卷

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>